

電容耦合心電放大電路 (A Capacitive Coupling ECG Amplification Circuit)

指導教授：沈鼎嵐 博士 學生：蔡卓穎

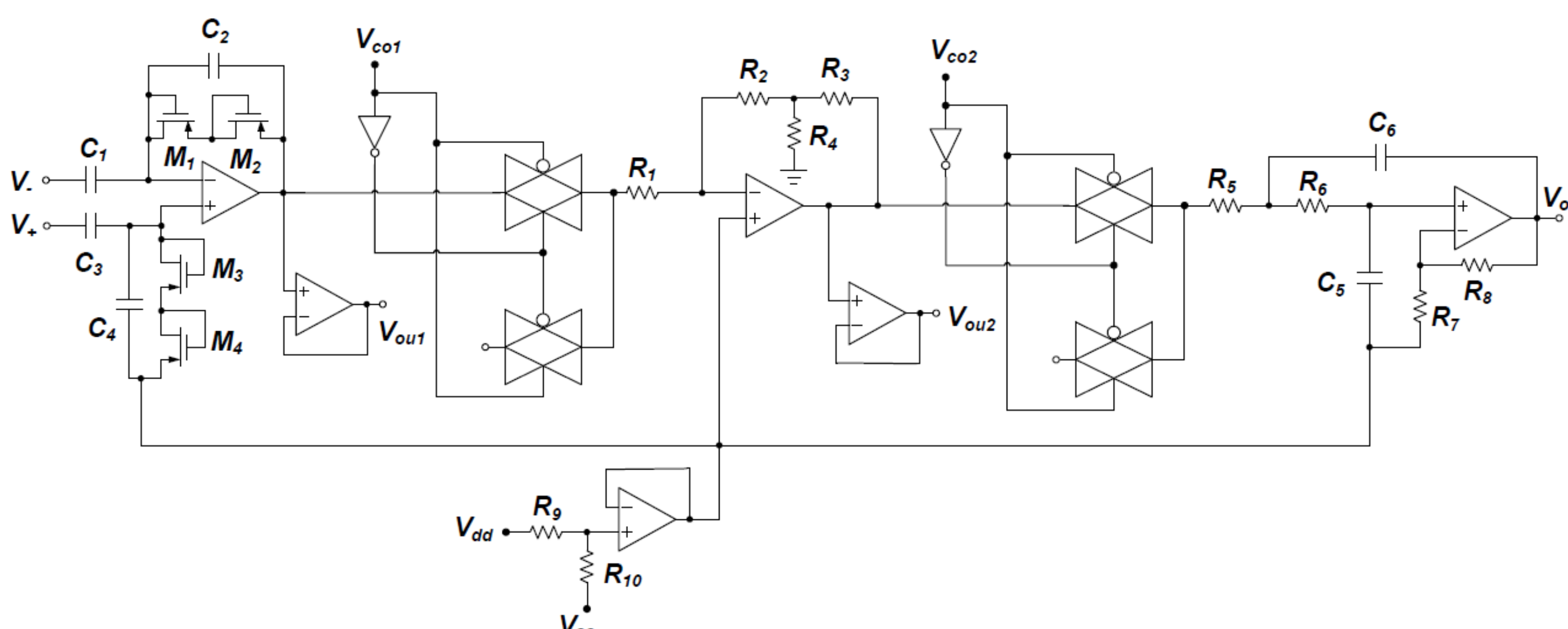
輔仁大學 電機工程學系 大學部專題生

摘要

本專題設計一運算放大器，放大倍率為60dB，再利用此放大器，設計一電容耦合心電放大電路，其放大倍率800倍，Bandwidth 0.05~106Hz，功率消耗為18mV，可使用雙電源(-0.9V~+0.9V)或單電源(0V~1.8V)。本專題使用U18製程製作，晶片面積0.555 mm x 0.511 mm

系統架構

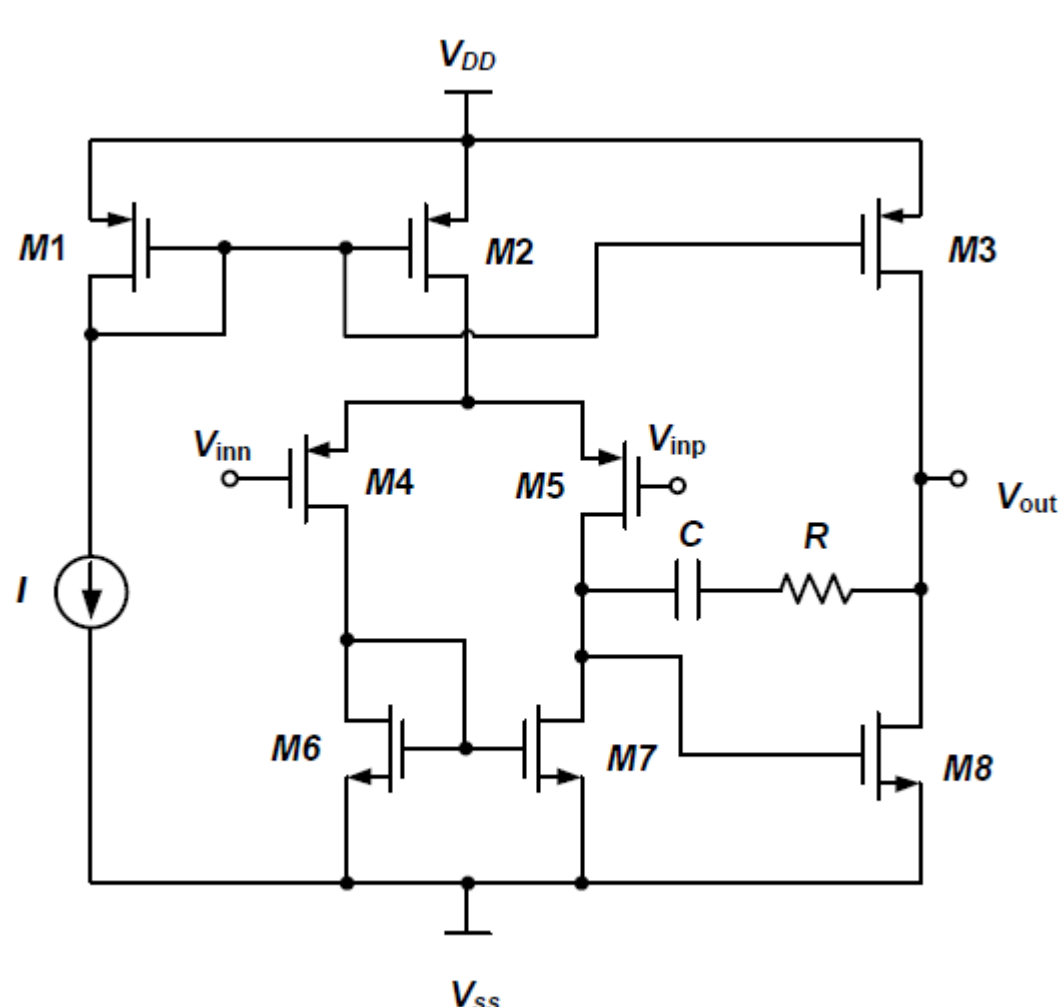
本專題先設計twostage 放大器作為op，再用此op設計生物訊號放大器，之後接一級反向放大器，最後接到SAB的Low-pass filter，每兩級中間有設計一個switch讓各級可以分別分開輸入做測試如圖一。



圖一、晶片電路結構

• Twostage放大器電路：

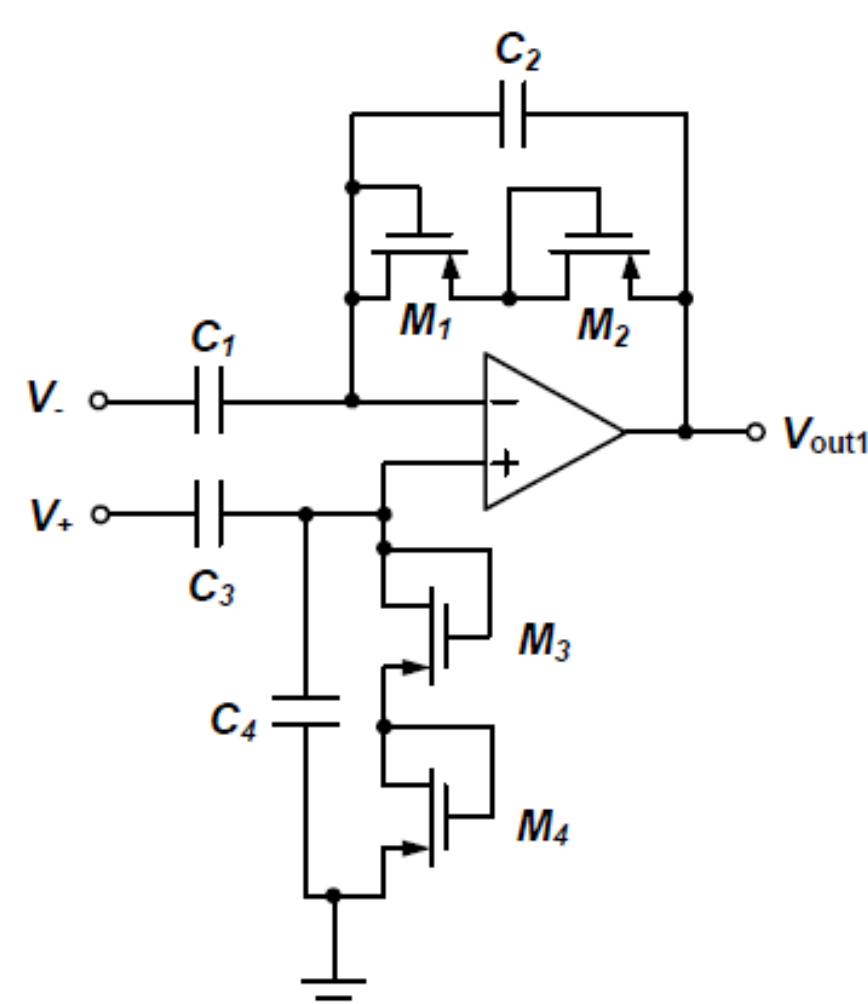
- Twostage放大器電路如圖二，各元件尺寸列於表一
- 電容C為米勒補償電容，是為了將第一個極點往低頻移動，使第一個極點變為主極點。電阻R是為了將零點往左半平面移動，使phase margine 上升
- 為避免systematic output dc offset，設計mos大小為 $\frac{(W/L)_8}{(W/L)_7} = 2 \frac{(W/L)_3}{(W/L)_2}$
- 增益為65dB左右 phase margin 為70度左右



圖二

	W(μm)	L(μm)
M ₁	50	0.5
M ₂	250	0.5
M ₃	500	0.5
M ₄	90	0.5
M ₅	90	0.5
M ₆	35	0.5
M ₇	35	0.5
M ₈	140	0.5
R	400Ω	
C	0.6pF	

表一



圖三

• 第一級電路：

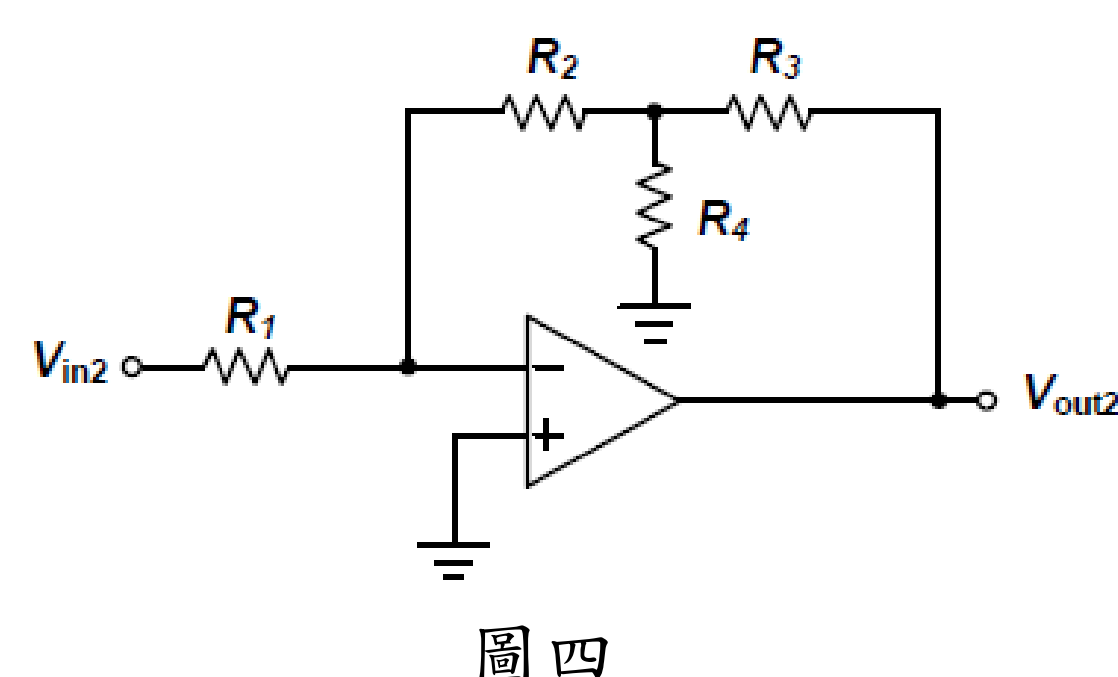
- 此為生物訊號放大器，電路圖如圖三，元件規格如表二
- 使用電容做放大 $A_M = C_1/C_2 = C_3/C_4$ ，增益為25倍
- Bandwidth = $g_m/A_M C_L$ ，High-pass 3dB調至0.05Hz左右
- M₁~M₄為pseudoresistors，設計尺寸以提供高阻抗

	W(μm)	L(μm)
M ₁	1	50
M ₂	1	50
M ₃	1	50
M ₄	1	50
C ₁	9.6pF	
C ₂	400fF	
C ₃	9.6pF	
C ₄	400fF	

表二

元件	規格
R ₁	1kΩ
R ₂	1kΩ
R ₃	5kΩ
R ₄	500Ω

表三



圖四

• 第二級電路：

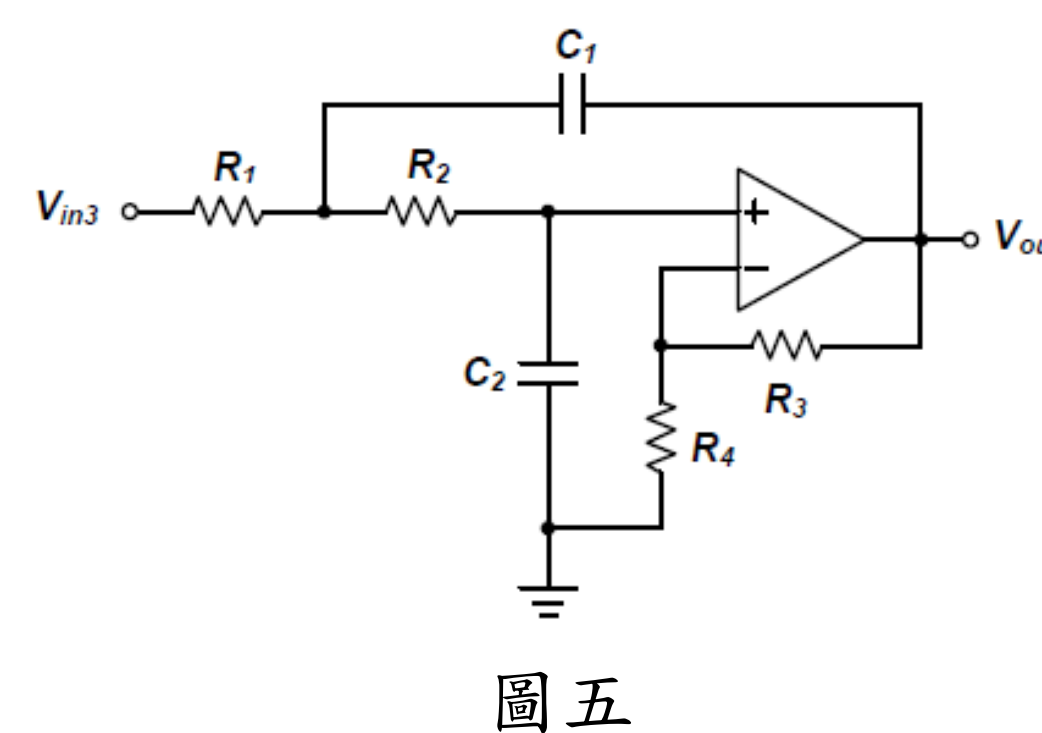
- 此為反向放大電路，電路圖如圖四，元件規格如表三。
- 此架構優點為輸入電阻R₁可以很大，而 R₂、R₃、R₄ 電阻值不需特別大就可以有高增益。
- $A_V = -\frac{R_2}{R_1} \left(1 + \frac{R_3}{R_2} + \frac{R_3}{R_4} \right)$

• 第三級電路：

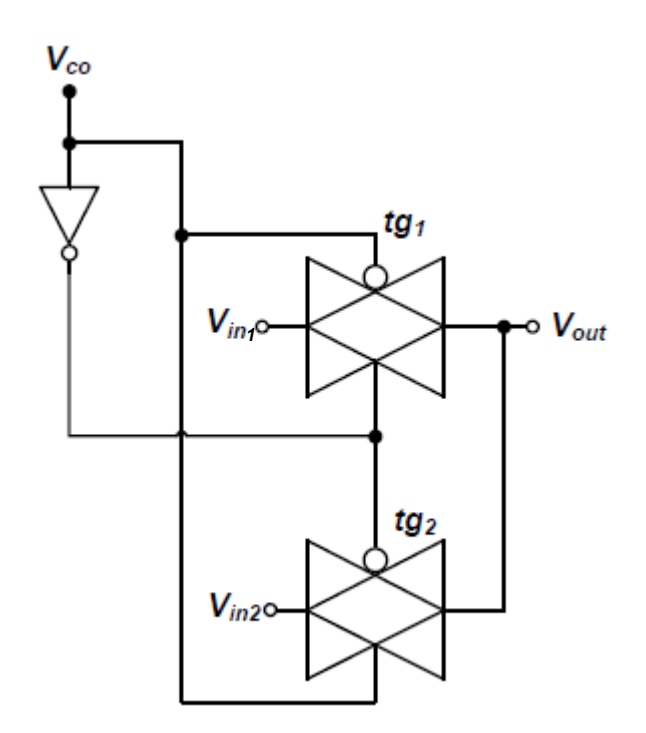
- 此為SAB Low-pass filter 電路圖，電路圖如圖五，元件規格如表四。
- 將Low-pass 3dB調至106Hz左右 $\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$
- $T(s) = \frac{\frac{R_3 + R_4}{R_1 R_2 R_4 C_1 C_2}}{s^2 + s \left(\frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} + \frac{-R_3}{C_2 R_2 R_4} \right) + \frac{1}{R_1 R_2 C_1 C_2}}$ ， $Q = \left(\sqrt{R_1 R_2 C_1 C_2} \left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{-R_3}{C_2 R_2 R_4} \right) \right)^{-1}$

元件	規格
R ₁	1kΩ
R ₂	1kΩ
R ₃	1kΩ
R ₄	1kΩ
C ₁	1.1μF
C ₂	1.1μF

表四



圖五



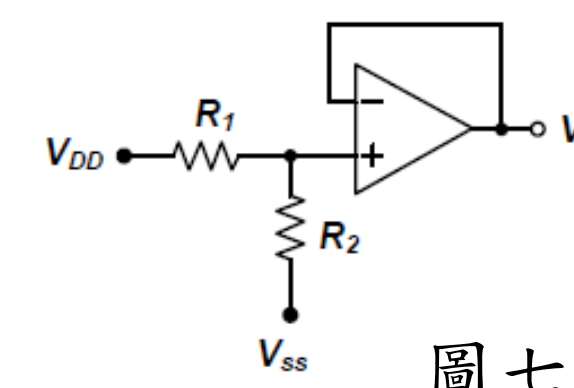
圖六

• switch：

- 此為transmission gate組成的switch的電路，電路圖如圖六，真值表如表五。
- 當輸入為Low時，電路由V_{in1}到V_{out}；當輸入為High時，電路由V_{in2}到V_{out}

V _{co}	tg ₁	tg ₂
High	Off	On
Low	On	Off

表五



圖七

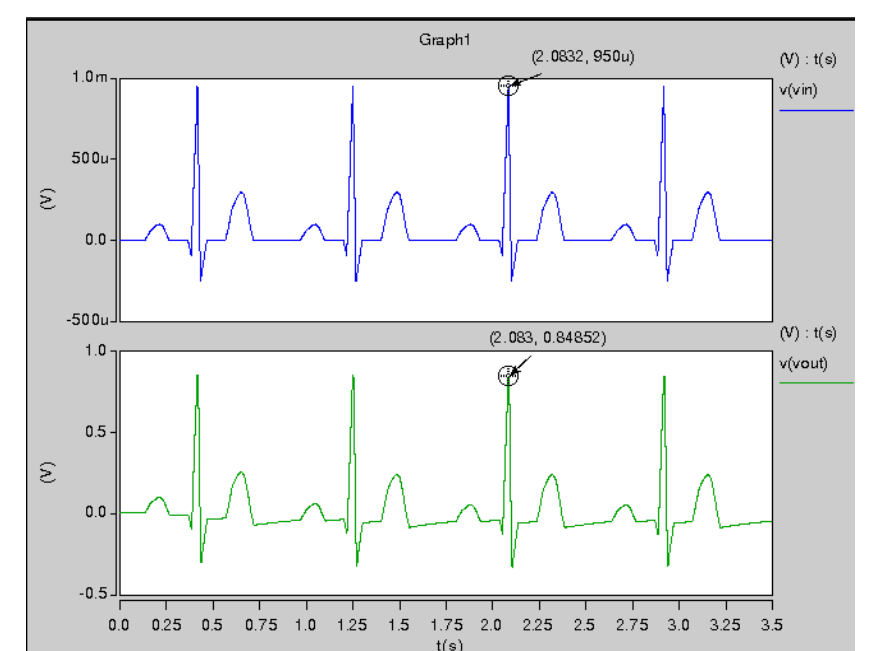
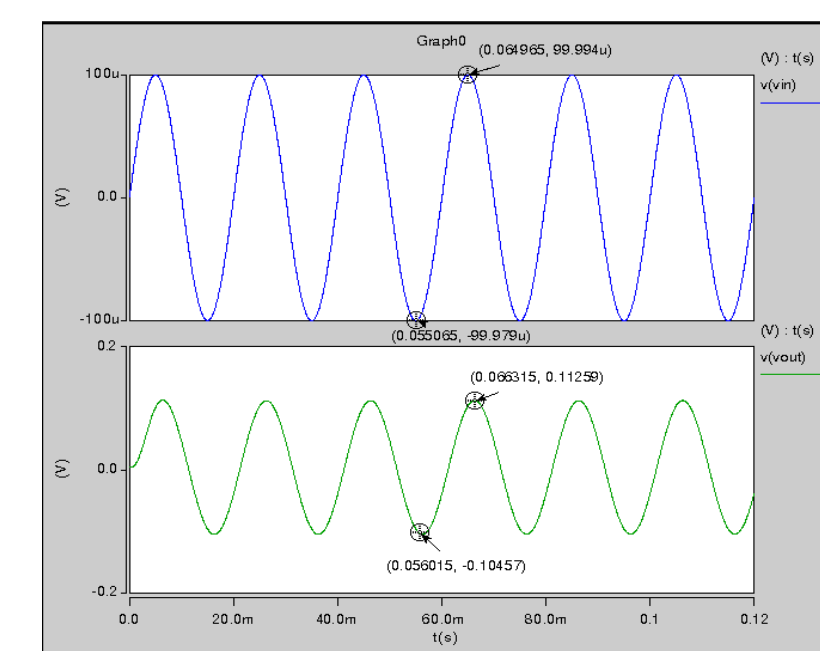
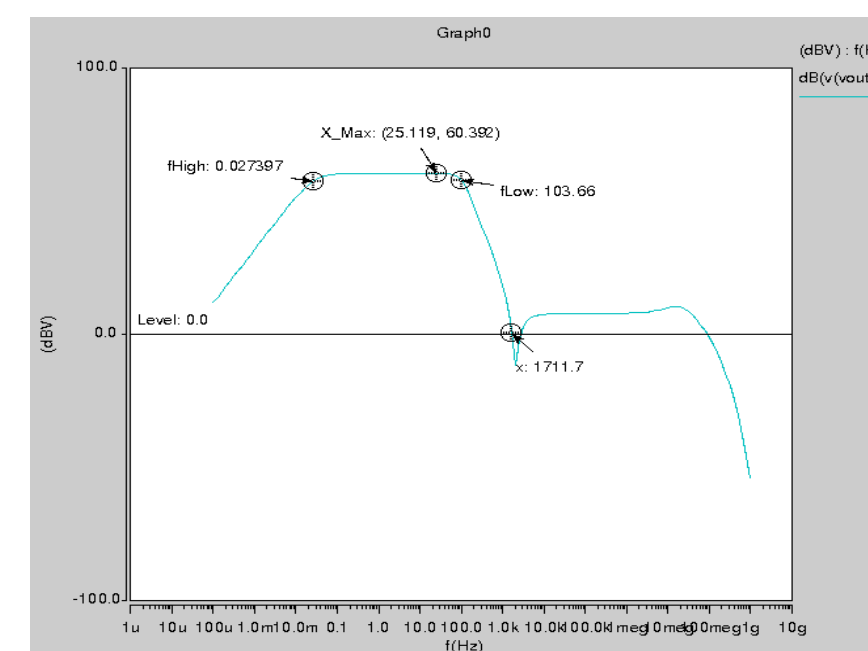
元件	規格
R ₁	1kΩ
R ₂	1kΩ

表六

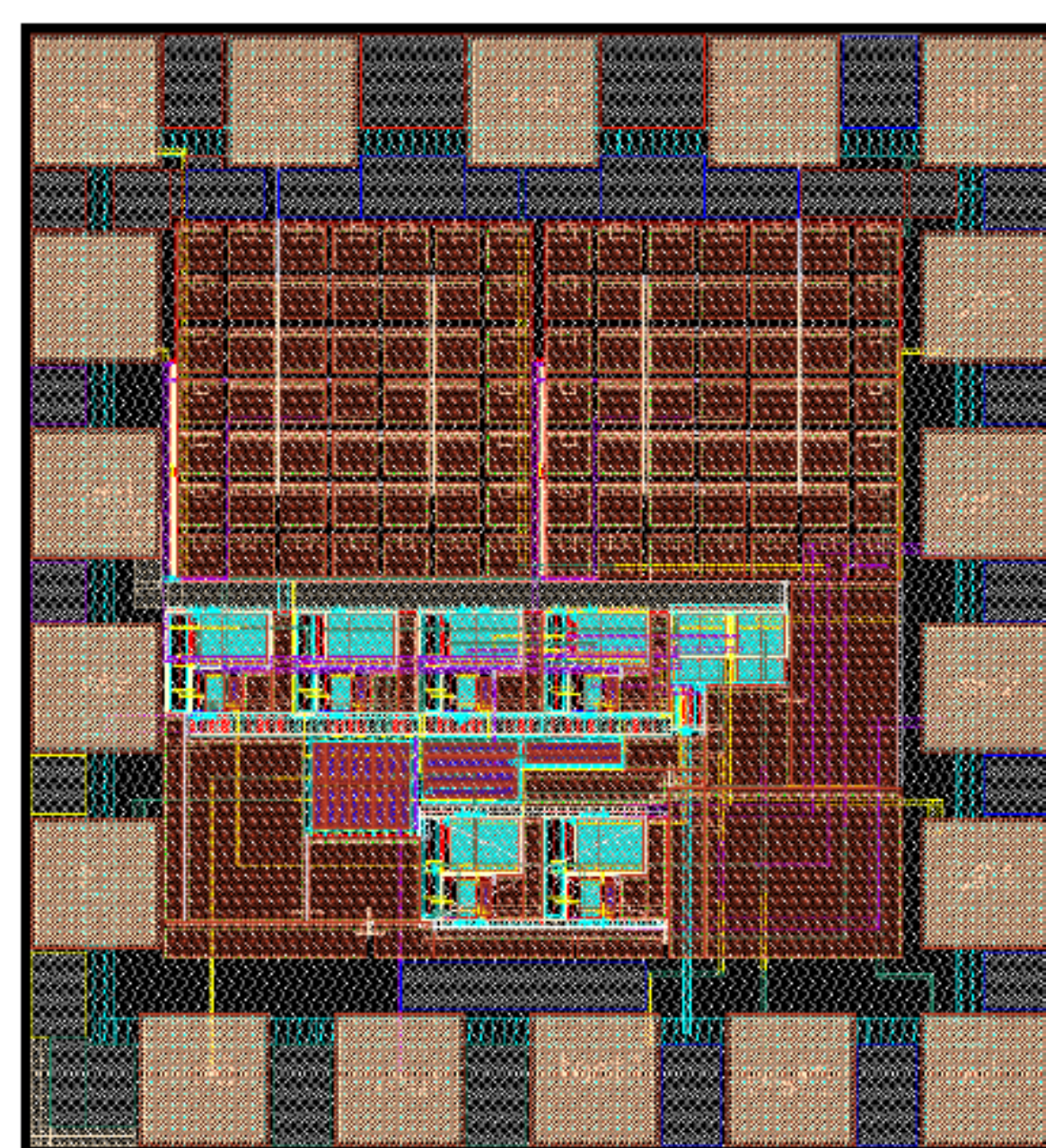
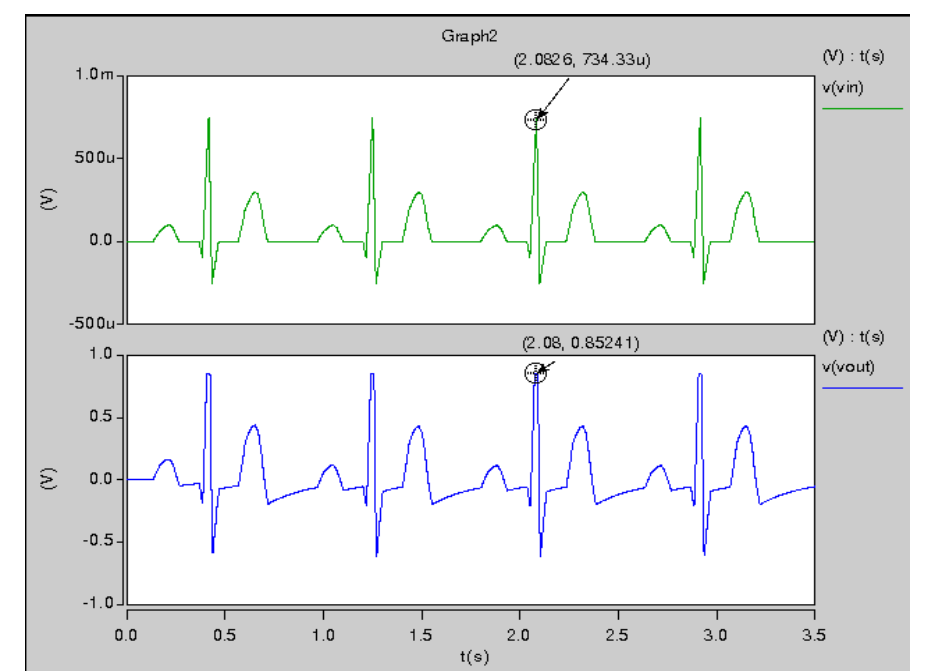
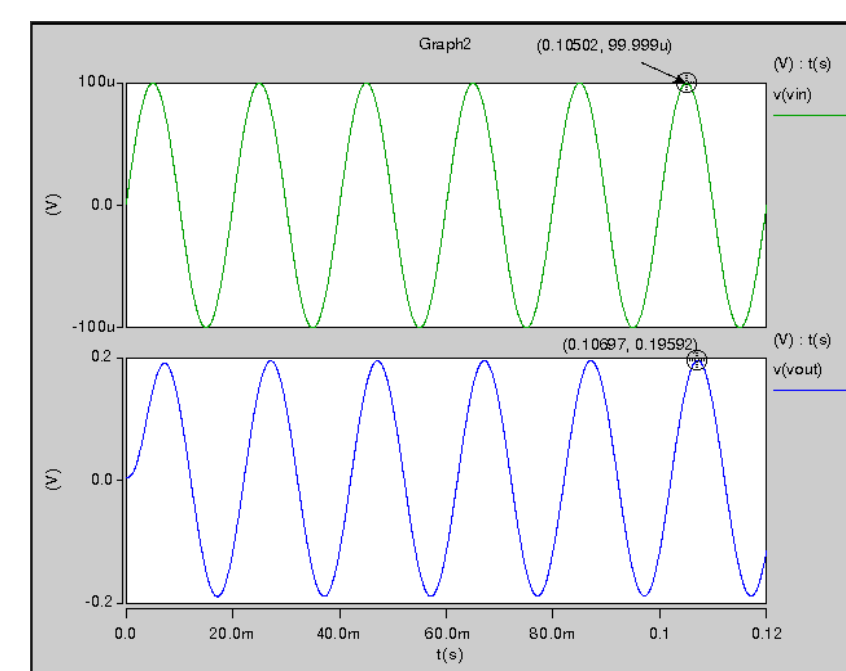
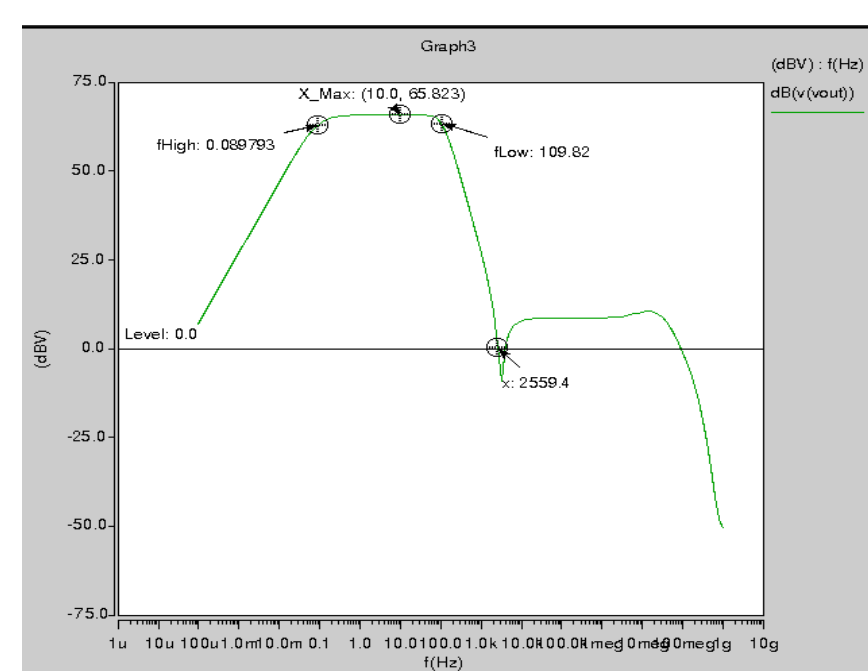
• 提供中間電位：

- 此為提供電路中間電位的電路，電路圖如圖七，元件規格如表六。
- 利用R₁，R₂電阻分壓

圖八、Pre-sim

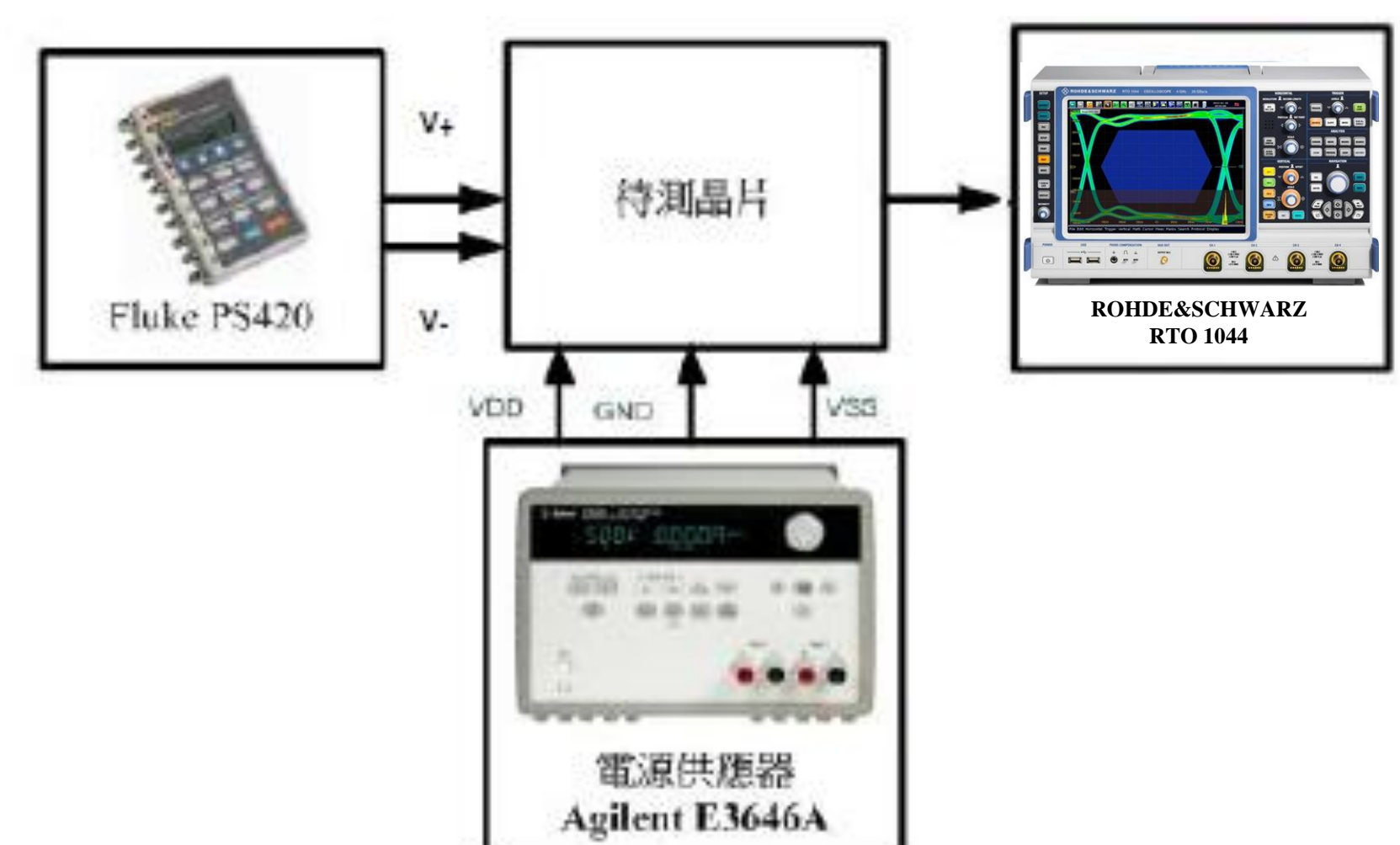


圖九、Post-sim



圖十、Layout佈局圖

Chip size =555x551μm²



結論 圖十一、量測方法



2016 輔仁大學電機工程學系
大學部專題成果展

